

Transistor with notches gate

Publication number: CN1378705 (A)

Publication date: 2002-11-06

Inventor(s): CHU C [US]; LETSON T A [US] +

Applicant(s): INTEL CORP [US] +

Classification:






- **international:** *H01L21/302; H01L21/28; H01L21/3065; H01L21/3213; H01L21/336; H01L29/423; H01L29/78; H01L21/02; H01L29/40; H01L29/66; (IPC1-7): H01L29/78; H01L21/28; H01L21/3213; H01L21/336; H01L29/423*

- **European:** *H01L21/28E2B20; H01L21/3213C4B2; H01L21/336H1L; H01L29/423D2B7B; H01L29/78F*

Application number: CN19998014159 19991207

Priority number(s): US19980207059 19981207

Also published as:

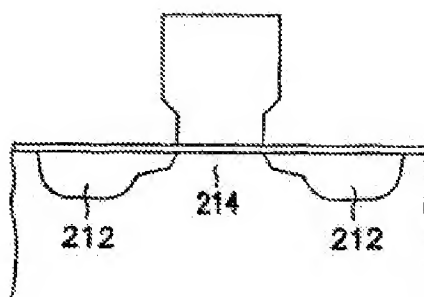
 CN1216427 (C)
 WO0034984 (A2)
 WO0034984 (A3)
 US2004259340 (A1)
 US7208399 (B2)

[more >>](#)

Abstract not available for CN 1378705 (A)

Abstract of corresponding document: **WO 0034984 (A2)**

A transistor having a gate electrode with a T-shaped cross section is fabricated from a single layer of conductive material using an etching process. A two process etch is performed to form sides walls having a notched profile. The notches allow source and drain regions to be implanted in a substrate and thermally processed without creating excessive overlap capacitance with the gate electrode. The reduction of overlap capacitance increases the operating performance of the transistor, including drive current.



.....
 Data supplied from the **espacenet** database — Worldwide

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/78

[12] 发明专利申请公开说明书

H01L 29/423 H01L 21/336

H01L 21/28 H01L 21/3213

[21] 申请号 99814159.3

[43] 公开日 2002 年 11 月 6 日

[11] 公开号 CN 1378705A

[22] 申请日 1999.12.7 [21] 申请号 99814159.3

[30] 优先权

[32] 1998.12.7 [33] US [31] 09/207,059

[86] 国际申请 PCT/US99/29071 1999.12.7

[87] 国际公布 WO00/34984 英 2000.6.15

[85] 进入国家阶段日期 2001.6.6

[71] 申请人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 C·楚

T·A·莱特森

[74] 专利代理机构 中国专利代理(香港)有限公司

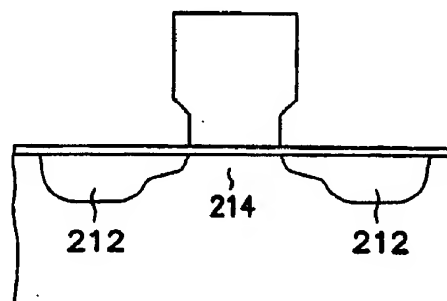
代理人 肖春京

权利要求书 3 页 说明书 6 页 附图 4 页

[54] 发明名称 带凹槽栅极的晶体管

[57] 摘要

利用蚀刻过程由导电材料单层来制作出一个具有 T 型横截面栅极的晶体管。经过两次蚀刻之后形成具有凹槽型面的侧壁。凹槽使源极区和漏极区能被注入进衬底,并且可以在不生成栅极额外叠加电容的情况下进行热处理。减少叠加电容能提高晶体管的操作性能包括驱动电流。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种集成电路晶体管，它包括：

—源极；

—漏极；和

5 —栅极，该栅极由一导电层形成并具有一顶部区，一底部区和第一和第二相反对置的垂直侧壁，第一和第二相反对置的垂直侧壁有一阶梯状表面，使得顶部区第一和第二的垂直侧壁之间的第一横向间距大于底部区第一和第二的垂直侧壁之间的第二横向间距。

2. 根据权利要求 1 所述的集成电路晶体管，其中源极在栅极的下边横向延伸，超出由顶部区的第一垂直侧表面限定的垂直平面。

3. 根据权利要求 2 所述的集成电路晶体管，其中源极注入到衬底中，使其不能在栅极的下边横向延伸到由顶部区的第一垂直侧表面限定的垂直平面以外。

4. 根据权利要求 3 所述的集成电路晶体管，其中源极注入之后对其进行热处理，使其在栅极下边横向扩散至由顶部区的第一垂直侧表面限定的垂直平面以外。

5. 根据权利要求 1 所述的集成电路晶体管，其中漏极在栅极的下面横向延伸至由顶部区的第二垂直侧表面限定的垂直平面以外。

6. 根据权利要求 5 所述的集成电路晶体管，其中漏极注入衬底，使得漏极在栅极的下边不会横向延伸到由顶部区的第二垂直侧表面所限定的垂直平面之外。

7. 根据权利要求 6 所述的集成电路晶体管，其中漏极注入之后进行热处理，以便在栅极下边横向延伸至由顶部区的第二垂直侧表面所限定的垂直平面以外。

8. 根据权利要求 1 所述的集成电路晶体管，其中栅极是利用大容量蚀刻和选择性蚀刻处理之后由单层形成的。

9. 根据权利要求 1 所述的集成电路晶体管，其中第一横向间距比第二横向间距大约大 20 纳米。

10. 一种集成电路晶体管栅极包括：

30 —导电材料单层，该栅极具有有一个顶部区，一个底部区和第一和第二相反对置的垂直侧壁，第一和第二的垂直侧壁有一个阶梯状表面，从而使顶部区第一和第二垂直侧壁之间的第一横向间距大于底部

区第一和第二垂直侧壁之间的第二横向间距。

11. 根据权利要求 10 所述的集成电路晶体管栅极，其中栅极是利用大容量蚀刻和选择性蚀刻处理由单层形成的。

12. 根据权利要求 10 所述的集成电路晶体管，其中第一横向间距比第二横向间距大约大 20 纳米。

13. 一种集成电路晶体管的制作方法，该方法包括：

制作一个导电材料层；

对导电材料进行第一次蚀刻以限定栅极的第一和第二相反对置的垂直侧壁；

10 对导电材料进行第二次蚀刻以便在第一和第二相反对置的垂直侧壁处形成凹槽区，凹槽区位于第一和第二相反对置的垂直侧壁的底部，这样可使栅极的横截面基本上成一 T 型。

14. 根据权利要求 13 所述的方法还包括：

15 将源极区和漏极区注入位于导电材料层下面的衬底上，栅极的顶部限定了源极区和漏极区的横向边界使得源极区和漏极区不会在栅极的下边进行注入。

15. 根据权利要求 14 中所述的方法还包括：

对源极区和漏极区进行热处理，在栅极的凹槽区的下边可以横向扩散该源极区和漏极区。

20 16. 根据权利要求 15 中所述的方法，其中第一次蚀刻去掉了导电材料，从而露出下面的氧化层。

17. 根据权利要求 15 中所述的方法，还包括进行第三次蚀刻以去掉第二次蚀刻之后剩余的导电材料。

25 18. 根据权利要求 13 中所述的方法，其中凹槽区有一个 5-20 纳米的横向深度。

19. 一种减少集成电路晶体管中叠加电容的方法，该方法包括：

30 利用蚀刻处理从一导电材料单层形成晶体管栅极，该栅极的横截面呈 T 型；将源极区和漏极区注入位于栅极下边的衬底中，栅极的顶部限定了源极区和漏极区的横向边界，使得源极区和漏极区不会在栅极的下边注入；和

对注入的源极区和漏极区进行热处理，使源极区和漏极区在栅极的凹槽区的下边横向扩散。

20. 根据权利要求 19 中所述的方法, 其中栅极底部横截面的宽度比顶部横截面的宽度大约小 20 纳米。

21. 根据权利要求 19 中所述的方法, 其中晶体管栅极是经过有选择的蚀刻后再进行大容量蚀刻形成晶体管栅极底部侧壁凹槽后而形成的。

22. 根据权利要求 19 中所述的方法, 其中导电材料单层是多晶硅层。

带凹槽栅极的晶体管

5 本发明涉及集成电路晶体管，特别涉及金属氧化物半导体晶体管栅极。

用标准的互补金属氧化物半导体集成电路制作而成的集成电路晶体管如 MOS（金属氧化物半导体）场效应晶体管（MOSFET）具有源极区、漏极区和栅极。每一个 MOSFETs 具有 n 型掺杂多晶硅栅极。源极区和漏极区注入到硅衬底中，在源极区和漏极区之间及栅电极之下
10 形成沟道区。由于存在叠加电容，所以不希望源极区和漏极区之间具有栅叠加。也就是说，在源极区和漏极区之间存在栅极叠加时，在栅极区和源极区/漏极区之间就会有叠加电容。因此希望叠加减少到最小。

控制栅极区和源极区/漏极区之间的叠加量需要对源极/漏极注入区进行热处理来满足深度最小的要求来配合。用于控制源极和漏极之间注入空间的一种技术是利用附加在栅极侧壁上的垫片，附加步骤是需要制作这些垫片。
15

由于上述原因和以下本领域技术人员在阅读和理解本说明书后将很清楚的其他原因，在晶体管技术中，要求晶体管的叠加电容少，
20 处理步骤简化。

本发明记载了以上提到的 MOSFET 的问题和其它的问题，通过阅读和学习以下的说明书将得到了解。

在一个实施例中，本发明提供了一个集成电路晶体管，它包括源极，漏极和栅极，其中栅极是由一个单层形成的并具有顶部区、底部区及第一和第二相反对置的垂直侧壁。第一和第二的垂直侧壁有一个
25 阶梯状表面，使得顶部区域的第一和第二的垂直侧壁之间的第一横向间距大于底部区域的第一和第二的垂直侧壁之间的第二横向间距。

在另外一个实施例中，一个集成电路晶体管栅极包括一个由导电材料制成的单层。栅极具有一个顶部区，一个底部区及第一和第二相反对置的垂直侧壁。第一和第二的垂直侧壁有一个阶梯状表面，使得
30 顶部区的第一和第二的垂直侧壁之间的第一横向间距大于底部区的第一和第二的相对垂直侧壁之间的第二横向间距。

在另一个实施例中，描述了一种集成电路晶体管的制作方法。该方法包括制作一导电材料层，对导电材料进行第一次蚀刻以确定栅极的第一和第二相反对置的垂直侧壁，对导电材料进行第二次蚀刻以在第一和第二相反对置的垂直侧壁上形成凹槽区。凹槽区位于第一和第二相反对置的垂直侧壁底部，以使栅极的横截面近似成为一个T型。

图1所示的是由直面栅极和氧化垫片形成的晶体管。

图2是由多层材料形成的T型栅极。

图3是一个集成电路晶体管的横剖面图。

图4(a)-(f)是图3中的晶体管的制作方法。

图5是晶体管相对于蚀刻面上的晶体管漏电流图。

以下关于本发明的详细说明需参照作为说明书一部分的、以图解及实施本发明的特定实施例方式给出的相关附图。在几个附图中，用相同的标号来描述基本相同的部件。还可以应用其它的实施例，在不背离本发明范围的情况下，结构、逻辑及电气方面都可以改变。在以下的说明书中，所用的术语薄膜(Wafer)和衬底包括具有形成本发明的集成电路(IC)的暴露面的所有结构。下述的详细说明不对本发明构成限制，本发明的范围仅由所附的权利要求书及其等效范围进行限定。

在此所描述的晶体管有一个带凹槽的栅极。凹槽形成在源极区和漏极区的上面以控制源极扩展区和漏极扩展区的起始注入位置。带有凹槽的多晶硅栅极能使其从栅多晶硅层的边缘延伸到栅氧化层结，此偏移量带来了足够的横向扩散距离从而能栅极下面不发生横向扩散的情况下进行退火操作。

为了更全面地理解带有凹槽的栅极，参照附图1，图1给出了由正面栅极102和氧化垫片104形成的晶体管100。首先在衬底上形成一个栅氧化层106，然后在栅氧化层上沉淀一个栅多晶硅层，再在栅多晶硅层上进行掩摸和蚀刻即可形成栅电极102。值得注意的是，栅多晶硅层的侧边108和110是直的。然后在栅多晶硅的上面制作一个氧化层。氧化层被成型和蚀刻形成垫片104，垫片附着在栅多晶硅的直边上。源极区112和漏极区114利用氧化垫片形成衬底从而在结区或掺杂质区之间形成横向扩散。然后进行退火操作以进一步垂直地扩散源极区/漏极区。退火操作也会导致栅多晶硅下掺杂剂的横向扩

散，可以推测的是，对氧化垫片进行沉淀、掩摸和蚀刻将会导致在多晶硅边缘和衬底边缘之间的距离发生变化。扩展区的横向扩散也因此经常会导致栅极无法控制的重叠现象，这种重叠将会产生一个叠加电容而导致晶体管性能的降低。另外，不希望有形成氧化衬底的额外处理步骤。

在图 2 中描述了一个有互换栅极的晶体管。栅极的横截面近似成“T”型。也就是说，栅极的顶部比底部宽。晶体管栅极不是由单层导电材料形成的，而是需要沉淀、定型和蚀刻第二个多晶硅层 116。虽然此晶体管提供了一个较大的互连导体，但是形成氧化垫片需要多个步骤，需要另外的栅多晶硅沉淀、定型和蚀刻来形成电极的顶部。

为了减少叠加电容，同时使处理步骤最少。在此描述了由单层导体材料形成的带凹槽的栅极。参照图 3，给出并描述了所制作的集成电路晶体管 200 的横剖面图。晶体管包括一个带有凹槽 204 的栅极 202。栅极通过一个栅氧化层 208 与衬底 250 分开。源极区和漏极区 212 形成衬底（例如通过离子注入法）。源极区和漏极区包括扩展区 210。扩展区之间及栅极下面的区域称作为晶体管体或者沟道区。凹槽 204 能使扩展区从凹槽的垂直表面扩散可控距离，这对于本领域技术人员来说这是可以理解的。也就是说，凹槽的深度限定了在栅极的底部和源极区/漏极区之间不会产生水平叠加的退火过程期间所用的横向扩散距离。对于本领域技术人员来说是可以理解的，图 3 中所示的晶体管是不完整的，它还必须与源极区/漏极区和栅极进行电气连接。为了充分说明本发明的要点，没有给出本发明的其他特征。

栅极 202 由一单层形成，并且具有顶部区 203，底部区 205，第一垂直侧壁 207 和第二相反对置的垂直侧壁 209。第一和第二的垂直侧壁有一个阶梯状表面，从而顶部区的第一和第二的垂直侧壁之间的第一横向间距 Y 大于底部区的第一和第二的垂直侧壁之间的第二横向间距 X。在一个实施例中，距离 Y 比距离 X 大约大 20 纳米，可以知道，Y 和 X 之间的差值在包括但不限于 10-40 纳米之间的一个较宽范围内变化。晶体管的横截面成 T 型，以插入源极区和漏极区。

参照图 4(a)-4(f)，下面给出了带有凹槽栅极的晶体管的制作方法。图 4(a) 示出了半导体衬底 250、栅氧化层 208 和材料层如掺杂多晶硅层 252 的横剖面。晶体管区的衬底与相邻的电路绝缘和根

据晶体管的需要掺杂质是可以理解的，而且是已有技术。掺杂多晶硅层 252 被掩摸和大容量蚀刻以限定栅极 254 的垂直侧壁的上边缘，如图 4(b) 所示。一旦进入栅氧化层，便在栅极的底部进行有选择地蚀刻以形成凹槽 204，如图 4(c) 所示。第二次蚀刻需要高度细致地进行选择，不能除去太多的栅氧化层 208。这样才能不穿透栅氧化层。在栅氧化层拐角的多晶硅层处有选择性地蚀刻以消除钝化现象，从而横向蚀刻多晶硅栅极以形成凹槽 204。在选择蚀刻过程中，横向蚀刻速度接近饱和以便能够统一控制横向蚀槽。这样凹槽的形成接近于自我控制。对大容量多晶硅进行选择蚀刻的过程中，因为蚀刻控制参数的变化，所以可以认为是一个单独的步骤。选择性蚀刻是一个低压力高功率的蚀刻，所持续时间大约等于大容量多晶硅蚀刻的持续时间，大约需要 20-40 秒的时间。

在一个实施例中，选择性的蚀刻使用的是商业上可买得到的日立 M511 等离子蚀刻机，生产中的工序是按照表 1 中的设置进行的。

| 参数 | 单位 | 穿 透 蚀 刻 | 大 容 量 蚀 刻 | 完 成 第 一 次 蚀 刻 | 完 成 第 二 次 蚀 刻 |
|---------------|-----|------------|--------------|------------------|------------------|
| TCR 温度 | ° C | 5 | 5 | 5 | 5 |
| EL 高度 | mm | 80 | 80 | 80 | 80 |
| 压力 | Pa | 0.4 | 0.4 | 0.4 | 1.2 |
| RF 功率 | W | 60 | 25 | 20 | 25 |
| UW 功率 | W | 400 | 400 | 400 | 400 |
| 气体 A, 氯气 | ccm | 25 | 25 | 25 | 0 |
| 气体 B, 氧气 | ccm | 3 | 3 | 3 | 5 |
| 气体 C, 溴化 氢 | ccm | 75 | 75 | 75 | 100 |
| 线圈 1 | A | 14 | 14 | 14 | 14 |
| 线圈 2 | A | 17 | 17 | 17 | 14 |
| 线圈 3 | A | 3 | 3 | 3 | 3 |
| 时间 | sec | 5 | EP | 24 | 12 |
| He Backside | KPa | 1 | 1 | 1 | 1 |
| Cont Plasma | Y/n | N | Y | Y | n |

表 1

第一次蚀刻过程或者穿透蚀刻过程除去表面上的氧化物。大容量蚀刻除去栅氧化层的多晶硅。当除去所有的多晶硅后，通过测量蚀刻容器中的化学气体来确定蚀刻的终点（EP）。蚀刻步骤 1 使多晶硅的侧面变平，同上面所限定的凹槽一起形成最终的形状。可选的蚀刻步骤 2 用来除去蚀刻步骤 1 之后多晶硅上的任何残留物。

参照图 4（d），形成多晶硅栅极凹槽的外形以后，进行浅注入操作以形成源极区和漏极区的扩展区。注入操作从栅极的底部被横向地隔开。也就是，栅极顶部通过限定横向边界来规定浅注入区的形状，以使注入区不会扩展到栅极的下边。因此注入区基本不会扩展到栅极以下及利用栅极的顶部区域 203 的侧壁表面限定的垂直平面 257 和 258 之外。

源极区和漏极区的扩展区必须垂直延伸进衬底最小的深度以减少电流扩散电阻。因此可对浅注入物进行热处理，或者进行退火处理，进一步扩散垂直注入区，图 4（e）所示。退火操作也会使注入区横向扩散。通过控制退火操作，横向扩散距离能够被修整而与凹槽的深度相一致。这样，能够减少栅极和源极区/漏极区之间的叠加度。经过热处理之后，源极区和漏极区 210 在栅极的下边延伸到垂直平面 257 和 258 以外。然而源极区和漏极区 210 不能在栅极的下边延伸到由凹槽 204 的内表面限定的垂直平面以外。最后进行深层注入形成完整的源极区和漏极区。可以知道，进行深层注入将会提供一个低电阻触点。在晶体管元件和区域中掺杂质的技术是已有技术，在这里就不再进一步进行进一步的说明。

制作带凹槽的晶体管栅极带来了许多好处。第一个好处是提供了定型的多晶硅层。随着晶体管尺寸的减小，处理层的成型变得比较困难。本发明的晶体管栅极能用栅极顶部的较大区域来定型多晶硅，而提供一个较小的栅氧化层接口表面。第二个好处是如上所述晶体管的叠加电容减少了。图 5 是晶体管电路性能相对于凹槽深度的曲线图。此图所示的是使用凹槽晶体管的环行振荡器的振荡频率的增长百分比，利用增加蚀刻时间而形成凹槽的深度，第一个采样点（a）没有包含凹槽，而其它采样点的凹槽深度不断增加，采样点（e）的槽口深度大约有 15-20 纳米，采样点（i）的凹槽深度大约有 20-25 纳米。当其他变量不变时，环行振荡器晶体管提高了晶体管减少的电容的性

能。同时也可以看到，随着凹槽深度的增加，振荡器的性能也在提高，性能的提高有一个限度，随着凹槽深度的不断增加，晶体管的性能将有一个稳定或者下降的状态，于是，最后的一个采样点（j）的性能由于扩展区之间的阻抗未达到多晶硅栅极（负重叠）而开始下降。

5 本说明书公开了一种减少晶体管集成电路中叠加电容的方法，该方法包括利用蚀刻过程由材料单层形成具有T型截面晶体管栅极的步骤。在一个实施例中，进行两次蚀刻以形成带凹槽面的侧壁。这个凹槽允许插入源极区和漏极区并进行热处理，而不会产生额外的叠加电容。叠加电容的减少提高了晶体管的操作性能。

10 尽管给出了具体的实施例并对其进行了说明，但是本领域的普通技术人员可以用那些能达到同样目的结构来代替给出的具体实施例。本申请期望覆盖本发明的任何改进和变化方案，因此，本发明仅由权利要求书及同等范围的权利要求所限定。

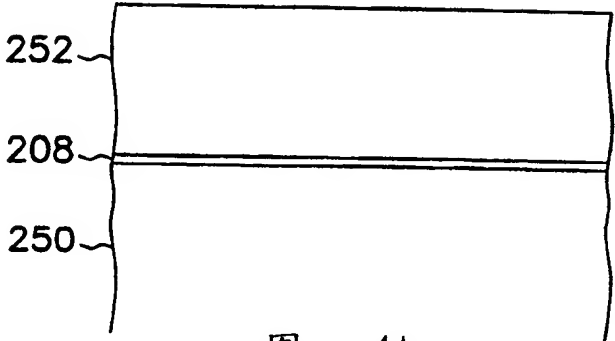


图 4A

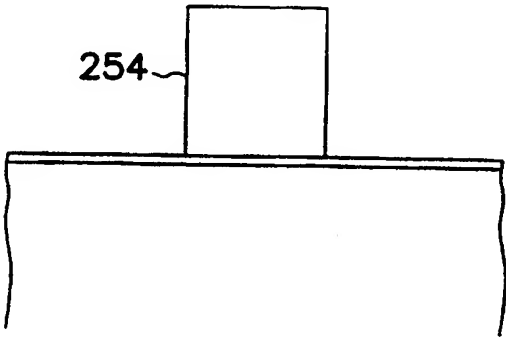


图 4B

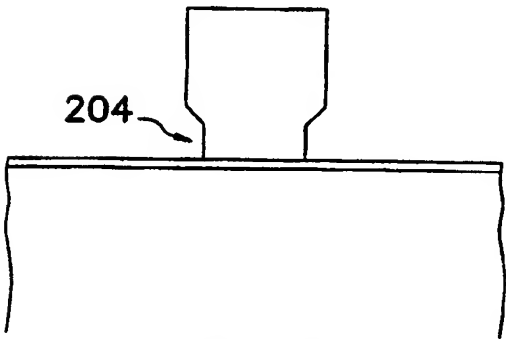


图 4C

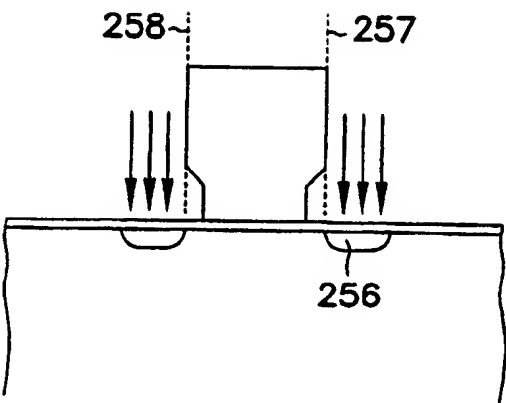


图 4D

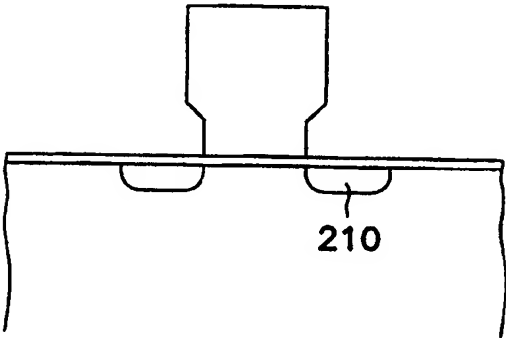


图 4E

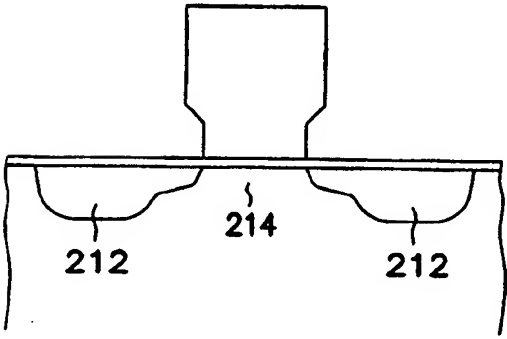


图 4F

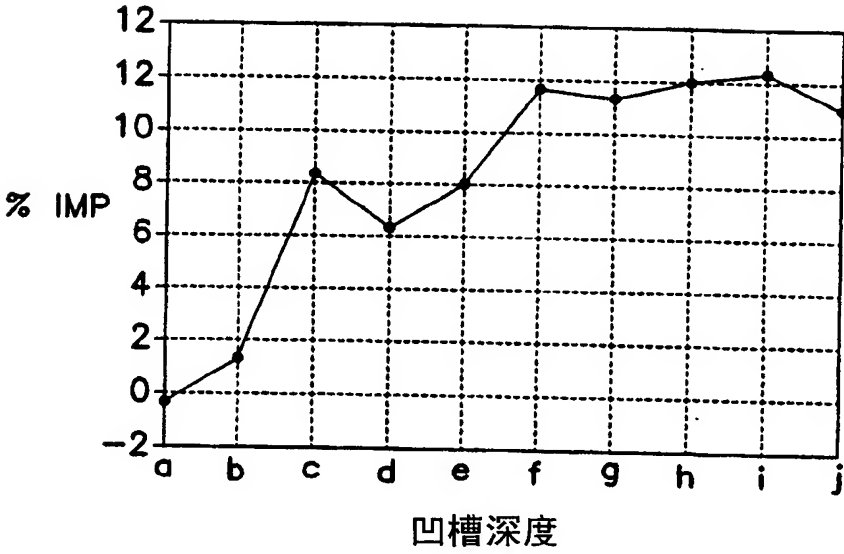


图 5